

New Patent Claims

1. A method for fabricating a memory device (2), which includes semiconductor structures, with memory  
5 cells (1), in which digital information is stored in a storage layer (10), in which method:
- two source/drain regions (5), which are spaced apart from one another by a channel region (4), are formed in a semiconductor substrate (17),
  - 10 - a gate dielectric (6) is produced on a substrate surface of the semiconductor substrate (17), above the channel region (4), and
  - a first gate electrode (7a) is arranged on the gate dielectric (6),
- 15 wherein
- the storage layer (10) is formed as an organic layer,
  - processing of the semiconductor structures is concluded prior to application of the storage  
20 layer (10),
  - a conductive connection (8) between the storage layer (10) and the first gate electrode (7a) is provided, and
  - an insulator layer (18) is arranged above the  
25 storage layer (10), and a second gate electrode (7b) is arranged on the insulator layer (18).
2. The method as claimed in claim 1, wherein the storage layer (10) is arranged between a first and a  
30 second electrode (9a,b).
3. The method as claimed in claim 2, wherein the first electrode (9a) is formed by a portion of the conductive connection (8).

4. The method as claimed in claim 2 or 3, wherein one of the metals aluminum, tungsten or copper is provided for the first and second electrodes (9a, b).
- 5 5. The method as claimed in claim 2 or 3, wherein one of the precious metals Pt, Au or Ag is provided for the first and second electrodes (9a, b).
6. The method as claimed in one of claims 2 to 5,  
10 wherein
- the first electrode (9a) is formed in a first metal level (11a) and the second electrode (9b) is formed in a second metal level (11b), and
  - the conductive connection (8) between the first  
15 gate electrode (7a) and the first electrode (9a) is produced by a contact hole (14) filled with conductive material.
7. The method as claimed in one of claims 2 to 5,  
20 wherein
- the first and second electrodes (9a, 9b) are each formed in a metal level (11) which is in each case processed later in the process sequence, and
  - the conductive connection (8) between the first  
25 electrode (9a) and the first gate electrode (7a) is produced by contact holes (14) arranged above one another and filled with conductive material.
8. The method as claimed in one of claims 1 to 7,  
30 wherein the organic layer is provided having porphyrin molecules.
9. The method as claimed in one of claims 1 to 8,  
wherein
- 35 - to produce source and drain lines, the source/drain regions (5) of memory cells (1)

arranged in rows which are respectively adjacent within a row are electrically conductively connected to one another by doped regions (16) provided in the semiconductor substrate (17), and

5 - after a plurality of source/drain regions (5) which have been electrically conductively connected to one another by doped regions (16) in the semiconductor substrate (17), conductive connections (8) to interconnects (13), which are

10 formed in a metal level (11) and connect the source/drain regions (5) of memory cells (1), are arranged.

10. A memory cell (1) having a storage layer (10) which stores a digital information item, having two

15 source/drain regions (5), which are formed in a semiconductor substrate (17) and are spaced apart from one another by a channel region (4), and a gate dielectric (6), which is arranged on a substrate

20 surface of the semiconductor substrate (17), above the channel region (4), in which memory cell:

- a first gate electrode (7a) is arranged on the gate dielectric (6),
- wherein
- 25 - the storage layer (10) is formed as an organic layer,
  - the storage layer (10) is arranged on the first gate electrode (7a) or at a distance from the first gate electrode (7a),
  - 30 - a conductive connection (8) between the storage layer (10) and the first gate electrode (7a) is provided, and
  - an insulator layer (18) is arranged above the storage layer (10), and a second gate electrode
  - 35 (7b) is arranged on the insulator layer (18).

11. The memory cell as claimed in claim 10, wherein the storage layer (10) is arranged between a first and a second electrode (9a, 9b).

5 12. The memory cell as claimed in claim 11, wherein the first electrode (9a) is formed by a portion of the conductive connection (8).

10 13. The memory cell as claimed in claim 11 or 12, wherein the first and second electrodes (9a, b) consist of one of the metals aluminum, tungsten or copper.

15 14. The memory cell as claimed in claim 11 or 12, wherein the first and second electrodes (9a, b) consist of one of the precious metals Pt, Au or Ag.

15. The memory cell as claimed in one of claims 11 to 14, wherein

- the first electrode (9a) is formed in a first metal level (11a) and the second electrode (9b) is formed in a second metal level (11b), and
- the conductive connection (8) between the first gate electrode (7a) and the first electrode (9a) is arranged by a contact hole (14) filled with conductive material.

20

25

16. The memory cell as claimed in one of claims 11 to 14, wherein

- the first and second electrodes (9a, b) are formed in a metal level (11) which is in each case further away from the first gate electrode (7a) than a first or a second metal level (11a, b), and
- the conductive connection (8) between the first electrode (9a) and the first gate electrode (7a) is formed by contact holes (14) which have been introduced into insulation layers (12), are

30

35

arranged above one another and have been filled with conductive material.

17. The memory cell as claimed in one of claims 10 to 16, wherein the organic storage layer (10) contains porphyrin molecules.

18. A memory device having memory cells which are arranged in rows, include semiconductor structures and store a digital information item, which memory device includes memory cells (1) as claimed in one of claims 10 to 17.

19. The memory device as claimed in claim 18, wherein  
- to provide source and drain lines, source/drain regions (5) of memory cells (1) which are respectively adjacent in a row are electrically conductively connected to one another by doped regions (16) provided in the semiconductor substrate (17), and  
- after a plurality of source/drain regions (5) which have been electrically conductively connected to one another by doped regions (16) in the semiconductor substrate (17), conductive connections (8) to interconnects (13), which are formed in a metal level (11) and connect the source/drain regions (5) of memory cells (1), are arranged.

20. A method for operating the memory device (2) as claimed in claim 18 or 19, in which:  
- to program the memory device (2), the respective storage layers (10) of selected memory cells (1) are charged by means of an electron tunnelling operation through the gate dielectric (6) as a result of voltages being applied to the

- source/drain regions (5) and the second gate electrode (7b),
- 5 - to erase the programming, the charged storage layers (10) are discharged by means of an electron tunnelling operation to the channel region (4) or to the source/drain region (5) as a result of an erase voltage, which differs from the voltage applied during programming, being applied to the second gate electrode (7b), and
- 10 - to read the programmed memory device (2), the strength of a drain current is detected as a function of a charge state of the storage layer (10).

Internationale Patentanmeldung  
Nr. PCT/DE2004/001588  
Infineon Technologies AG

IAP20 Rec'd PCT/PTO 28 JAN 2006

13225

13.05.2005

## Neue Patentansprüche

1. Verfahren zur Herstellung einer Halbleiterstrukturen aufweisenden Speichereinrichtung (2) mit Speicherzellen (1),  
5 in denen digitale Information in einer Speicherschicht (10) gespeichert wird, bei dem:
- in einem Halbleitersubstrat (17) zwei durch einen Kanalbereich (4) voneinander beabstandete Source/Drain-Bereiche (5) ausgebildet werden,
  - 10 - auf einer Substratoberfläche des Halbleitersubstrats (17) oberhalb des Kanalbereiches (4) ein Gate-Dielektrikum (6) angeordnet wird, und
  - auf dem Gate-Dielektrikum (6) eine erste Gate-Elektrode (7a) angeordnet wird,
  - 15 d a d u r c h g e k e n n z e i c h n e t , d a s s
  - vor einem Aufbringen der Speicherschicht (10) eine Prozessierung der Halbleiterstrukturen abgeschlossen wird,
  - eine leitende Verbindung (8) zwischen der Speicherschicht (10) und der ersten Gate-Elektrode (7a) angebracht wird,
  - 20 und
  - über der Speicherschicht (10) eine Isolatorschicht (18) und auf der Isolatorschicht (18) eine zweite Gate-Elektrode (7b) angeordnet werden.
- 25 2. Verfahren nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Speicherschicht (10) zwischen einer ersten und einer zweiten Elektrode (9a,b) angeordnet wird.
- 30 3. Verfahren nach Anspruch 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die erste Elektrode (9a) durch einen Abschnitt der leitenden Verbindung (8) ausgebildet wird.
- 35 4. Verfahren nach Anspruch 2 oder 3,  
d a d u r c h g e k e n n z e i c h n e t ,

dass für die erste und die zweite Elektrode (9a,b) eines der Metalle Aluminium, Wolfram oder Kupfer angebracht wird.

5. Verfahren nach Anspruch 2 oder 3,

5 d a d u r c h g e k e n n z e i c h n e t ,  
dass für die erste und die zweite Elektrode (9a,b) eines der Edelmetalle Pt, Au oder Ag angebracht wird.

6. Verfahren nach einem der Ansprüche 2 bis 5,

10 d a d u r c h g e k e n n z e i c h n e t , d a s s  
- die erste Elektrode (9a) in einer ersten Metallebene (11a)  
und die zweite Elektrode (9b) in einer zweiten Metallebene  
(11b) ausgebildet werden und  
- die leitende Verbindung (8) zwischen der ersten Gate-  
15 Elektrode (7a) und der ersten Elektrode (9a) durch ein mit  
leitendem Material gefülltes Kontaktloch (14) hergestellt  
wird.

7. Verfahren nach einem der Ansprüche 2 bis 5,

20 d a d u r c h g e k e n n z e i c h n e t , d a s s  
- jeweils die erste und die zweite Elektrode (9a,b) in  
jeweils einer im weiteren Prozessverlauf prozessierten  
Metallebene (11) ausgebildet werden und  
- die leitende Verbindung (8) zwischen der ersten Elektrode  
25 (9a) und der ersten Gate-Elektrode (7a) durch übereinander  
angeordnete mit leitendem Material gefüllte Kontaktlöcher  
(14) hergestellt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7,

30 d a d u r c h g e k e n n z e i c h n e t ,  
dass als Speicherschicht (10) eine organische Schicht  
angebracht wird.

9. Verfahren nach Anspruch 8,

35 d a d u r c h g e k e n n z e i c h n e t ,  
dass die organische Schicht mit Porphyrinmolekülen angebracht  
wird.



10. Verfahren nach einem der Ansprüche 1 bis 9,  
dadurch gekennzeichnet, dass  
- zur Herstellung von Source- und Drainleitungen, die  
Source/Drain-Bereiche (5) von zeilenweise angeordneten, in  
5 einer Zeile jeweils benachbarten Speicherzellen (1) durch im  
Halbleitersubstrat (17) vorgesehene, dotierte Bereiche (16)  
elektrisch leitend miteinander verbunden werden und  
- nach mehreren durch dotierte Bereiche (16) im  
Halbleitersubstrat (17) elektrisch leitend miteinander  
10 verbundenen Source/Drain-Bereichen (5) leitende Verbindungen  
(8) mit in einer Metallebene (11) ausgebildeten und die  
Source/Drain-Bereiche (5) von Speicherzellen (1) verbindenden  
Leiterbahnen (13) angeordnet werden.

15 11. Speicherzelle (1) mit einer eine digitale Information  
speichernden Speicherschicht (10), mit zwei in einem  
Halbleitersubstrat (17) ausgebildeten durch einen  
Kanalbereich (4) voneinander beabstandeten Source/Drain-  
Bereichen (5) und einem auf einer Substratoberfläche des  
20 Halbleitersubstrats (17) oberhalb des Kanalbereiches (4)  
angeordneten Gate-Dielektrikum (6), wobei:

- auf dem Gate-Dielektrikum (6) eine erste Gate-Elektrode  
(7a) angeordnet ist,

dadurch gekennzeichnet, dass

25 - die Speicherschicht (10) auf der ersten Gate-Elektrode  
(7a) oder zur ersten Gate-Elektrode (7a) beabstandet  
angeordnet ist,  
- eine leitende Verbindung (8) zwischen der Speicherschicht  
(10) und der ersten Gate-Elektrode (7a) angebracht ist,  
30 und  
- über der Speicherschicht (10) eine Isolatorschicht (18)  
und auf der Isolatorschicht (18) eine zweite Gate-  
Elektrode (7b) angeordnet sind.

35 12. Speicherzelle nach Anspruch 11,  
dadurch gekennzeichnet,

dass die Speicherschicht (10) zwischen einer ersten und einer zweiten Elektrode (9a,b) angeordnet ist.

13. Speicherzelle nach Anspruch 12,

5 d a d u r c h g e k e n n z e i c h n e t ,  
dass die erste Elektrode (9a) durch einen Abschnitt der leitenden Verbindung (8) ausgebildet ist.

14. Speicherzelle nach Anspruch 12 oder 13,

10 d a d u r c h g e k e n n z e i c h n e t ,  
dass die erste und die zweite Elektrode (9a,b) aus einem der Metalle Aluminium, Wolfram oder Kupfer bestehen.

15. Speicherzelle nach Anspruch 12 oder 13,

15 d a d u r c h g e k e n n z e i c h n e t ,  
dass die erste und die zweite Elektrode (9a,b) aus einem der Edelmetalle Pt, Au oder Ag bestehen.

16. Speicherzelle nach einem der Ansprüche 12 bis 15,

20 d a d u r c h g e k e n n z e i c h n e t , d a s s  
- die erste Elektrode (9a) in einer ersten Metallebene (11a) und die zweite Elektrode (9b) in einer zweiten Metallebene (11b) ausgebildet sind und  
- die leitende Verbindung (8) zwischen der ersten Gate-  
25 Elektrode (7a) und der ersten Elektrode (9a) durch ein mit leitendem Material gefülltes Kontaktloch (14) angeordnet ist.

17. Speicherzelle nach einem der Ansprüche 12 bis 15,

30 d a d u r c h g e k e n n z e i c h n e t , d a s s  
- die erste und die zweite Elektrode (9a,b) in jeweils einer von der ersten Gate-Elektrode (7a) weiter als eine erste oder eine zweite Metallebene (11a,b) beabstandeten Metallebene (11) ausgebildet sind und  
35 - die leitende Verbindung (8) von der ersten Elektrode (9a) zu der ersten Gate-Elektrode (7a) durch in Isolationsschichten (12) eingebrachte, übereinander

angeordnete und mit leitendem Material gefüllte  
Kontaktlöcher (14) ausgebildet ist.

18. Speicherzelle nach einem der Ansprüche 11 bis 17,  
5 d a d u r c h g e k e n n z e i c h n e t ,  
dass die Speicherschicht (10) als eine organische Schicht  
ausgebildet ist.

19. Speicherzelle nach Anspruch 18,  
10 d a d u r c h g e k e n n z e i c h n e t ,  
dass die organische Speicherschicht (10) Porphyrinmoleküle  
enthält.

20. Speichereinrichtung mit zeilenweise angeordneten,  
15 Halbleiterstrukturen aufweisenden und eine digitale  
Information speichernden Speicherzellen,  
g e k e n n z e i c h n e t d u r c h  
Speicherzellen (1) nach einem der Ansprüche 11 bis 19.

20 21. Speichereinrichtung nach Anspruch 20,  
d a d u r c h g e k e n n z e i c h n e t , d a s s  
- zur Bereitstellung von Source- und Drainleitungen  
Source/Drain-Bereiche (5) von in einer Zeile jeweils  
benachbarten Speicherzellen (1) durch im  
25 Halbleitersubstrat (17) vorgesehene, dotierte Bereiche  
(16) elektrisch leitend miteinander verbunden sind und  
- nach mehreren durch die dotierten Bereiche (16) im  
Halbleitersubstrat (17) elektrisch leitend miteinander  
verbundenen Source/Drain-Bereichen (5) leitende  
30 Verbindungen (8) zu in einer Metallebene (11)  
ausgebildeten und die Source/Drain-Bereiche (5) von  
Speicherzellen (1) verbindenden Leiterbahnen (13)  
angeordnet sind.

35 22. Verfahren zum Betrieb der Speichereinrichtung (2) nach  
Anspruch 20 oder 21, bei dem:

- zum Programmieren der Speichereinrichtung (2) die jeweiligen Speicherschichten (10) von ausgewählten Speicherzellen (1) durch Anlegen von Spannungen an die Source/Drain-Bereiche (5) und die zweite Gate-Elektrode (7b) mittels eines Tunnelvorganges von Elektronen durch das Gate-Dielektrikum (6) hindurch aufgeladen werden,
- zum Löschen der Programmierung die aufgeladenen Speicherschichten (10) durch Anlegen einer sich von der beim Programmieren angelegten Spannung unterscheidenden Lösch-Spannung an die zweite Gate-Elektrode (7b) mittels eines Tunnelvorganges von Elektronen zum Kanalbereich (4) oder zum Source/Drain-Bereich (5) entladen werden und
- zum Lesen der programmierten Speichereinrichtung (2) eine Stärke eines Drain-Stromes in Abhängigkeit von einem Ladungszustand der Speicherschicht (10) detektiert wird.